

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of :  
Du-yeul KIM :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: April 15, 2004 : Attorney Docket No. SEC.1146  
For: A PIPELINE MEMORY DEVICE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 2003-36335 filed June 5, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Daniel H. Sherr  
Registration No. 46,425

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: April 15, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0036335  
Application Number

출원년월일 : 2003년 06월 05일  
Date of Application JUN 05, 2003

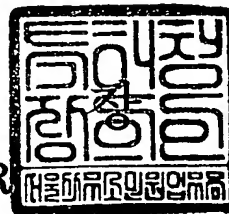
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2003.06.05
【국제특허분류】	G11C
【발명의 명칭】	데이터 패치 제어 회로를 갖는 파이프라인 메모리 장치 및 데이터 패치 방법
【발명의 영문명칭】	Pipeline memory device having data fetch control circuit and data fetch method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김두열
【성명의 영문표기】	KIM,Doo Yeul
【주민등록번호】	710320-1105711
【우편번호】	442-747
【주소】	경기도 수원시 팔달구 영통동 황골마을 신명아파트 201동 201호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)



1020030036335

출력 일자: 2003/12/22

【수수료】

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 7 항 333,000 원

【합계】 362,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

【요약서】

【요약】

데이터 패치 제어 회로를 갖는 파이프라인 메모리 장치 및 데이터 패치 방법이 개시된다. 본 발명의 파이프라인 메모리 장치는 제1 내지 제3 파이프라인 스테이지들로 구성되는 데이터 파이프라인 스테이지에서, 제2 파이프라인 스테이지를 구동하는 제2 파이프라인 제어 신호가 제1 파이프라인 제어 신호로부터 만들어진다. 이를 위하여 데이터 패치 제어 회로는 제1 파이프라인 제어 신호 발생을 제공하는 클럭 신호를 입력하여 제1 파이프라인 제어 신호를 발생하는 제1 에지 트리거 지연 회로와, 제1 파이프라인 제어 신호를 입력하는 제1 인버터와, 제2 파이프라인 제어 신호 발생을 제공하는 클럭 신호를 입력하는 제2 에지 트리거 지연 회로와, 제1 인버터의 출력과 제2 에지 트리거 지연 회로의 출력을 입력하는 낸드 게이트와, 그리고 낸드 게이트의 출력을 입력하여 제2 파이프라인 제어 신호로 발생하는 제2 인버터를 포함한다. 따라서, 본 발명에 의하면, 제1 파이프라인 제어 신호의 활성화 시점에 따라서 제2 파이프라인 제어 신호를 비활성화시키기 때문에, 파이프라인 메모리 장치가 고주파 동작함에 있어 제1 파이프라인 제어 신호와 제2 파이프라인 제어 신호 사이에 마진 폭을 키울 수 있다.

【대표도】

도 6

【색인어】

파이프라인 메모리 장치, 파이프라인 제어 신호들, 시간 마진 폭,

**【명세서】****【발명의 명칭】**

데이터 패치 제어 회로를 갖는 파이프라인 메모리 장치 및 데이터 패치 방법{Pipeline memory device having data fetch control circuit and data fetch method thereof}

**【도면의 간단한 설명】**

도 1은 전형적인 파이프라인 메모리 장치를 설명하는 도면이다.

도 2는 도 1의 파이프라인 메모리 장치의 동작 타이밍을 설명하는 도면이다.

도 3은 종래의 제1 또는 제2 파이프라인 제어 신호를 발생하는 에지 트리거 지연 회로를 설명하는 도면이다.

도 4는 본 발명의 파이프라인 메모리 장치에 적용되는 데이터 패치 방법을 개념적으로 설명하는 도면이다.

도 5는 본 발명의 제1 실시예에 따른 데이터 패치 제어 회로를 설명하는 도면이다.

도 6은 본 발명의 제2 실시예에 따른 데이터 패치 제어 회로를 설명하는 도면이다.

도 7은 도 6의 데이터 패치 제어 회로를 채용한 파이프라인 메모리 장치의 동작 타이밍을 설명하는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 파이프라인 구조를 갖는 메모리 장치의 데이터 패치 제어 회로 및 데이터 패치 제어 방법에 관한 것이다.

- <9> 컴퓨터, 통신 및 산업 부문에 이용되는 전자 시스템들이 대용량화와 고도화됨에 따라, 이들 전자 시스템의 동작을 지원하기 위하여 보다 저장 능력이 크면서 보다 고속 동작 기능을 갖는 반도체 메모리 장치가 필요하게 된다. 반도체 메모리 장치의 고속 동작을 위해 등장한 기술이 파이프라인 구조이다.
- <10> 도 1은 전형적인 파이프라인 구조의 메모리 장치 예를 설명하는 도면이다. 이를 참조하면, 메모리 장치(10)는 어드레스 버퍼(12)와 어드레스 레지스터(14)를 통해 어드레스 신호(ADD)를 수신한다. 수신된 어드레스 신호(ADD)는 어드레스 프리디코더(16)를 거쳐 로우 디코더(18)와 칼럼 디코더(20)에 의해 소정의 메모리 셀(21)을 어드레싱한다. 동기 제어 회로(15)는 클럭 신호(CLK)와 커맨드 신호(CMD)에 응답하여 제1 파이프라인 제어 신호(FRP), 제2 파이프라인 제어 신호(SRP), 그리고 데이터 출력 클럭 신호(CLKDQ)를 발생한다.
- <11> 어드레스 레지스터(14)는 수신되는 어드레스 신호(ADD)를 래치하고, 칼럼 디코더(20)는 어드레스 증가 신호(INCREMENT)에 응답하여 칼럼 어드레스를 순차적으로 증가시켜 소정 갯수의 메모리 셀들을 어드레싱한다. 센스 앰프(24)는 선택된 메모리 셀들의 데이터를 감지 증폭하여 이를 데이터 파이프라인 스테이지(32)로 출력한다. 데이터 파이프라인 스테이지(32)는 제1 파이프라인 제어 신호(FRP), 제2 파이프라인 제어 신호(SRP), 그리고 데이터 출력 클럭 신호(CLKDQ)에 응답하여 센스 앰프(24)의 출력 데이터를 순차적으로 패치하여 데이터 출력 버퍼(34)로 전송한다. 데이터 파이프라인 스테이지(32)는 직렬 연결된 제1 내지 제3 단(26, 28, 30)으로 구성되며, 제1 파이프라인 제어 신호(FRP), 제2 파이프라인 제어 신호(SRP), 그리고 데이터 출력 클럭 신호(CLKDQ)에 각각 응답하여 이전 단의 데이터를 다음 단으로 전달한다.
- <12> 도 2는 도 1의 파이프라인 메모리 장치(10)의 동작 타이밍도를 설명하는 도면이다. 이를 참조하면, 파이프라인 메모리 장치(10)의 독출 동작을 설명한다. 순차적으로 입력되는 클럭 신

호(CLK)에 응답하여 선택된 메모리 셀 데이터들이 데이터 출력 패드(DQ)로 출력된다. 구체적으로, C0 클럭에서, 어드레스 신호(ADD)를 래치하고, 이에 대응되는 메모리 셀의 워드라인(WL)이 인에이블되어 비트라인(BL)과 상보 비트라인(BLB)으로 메모리 셀 데이터가 차아지 세어링된다. C1 클럭에서는, C0 클럭의 상승에지에 응답하여 제1 파이프라인 제어 신호(FRP)가 발생되고, C1 클럭의 상승에지에 응답하여 제2 파이프라인 제어 신호(SRP)가 발생된다. C2 클럭에서는, C2 클럭의 상승에지에 응답하여 데이터 출력 클럭 신호(CLKDQ)가 발생되고, 데이터 출력 클럭 신호(CLKDQ)에 응답하여 제1 데이터(D0)가 데이터 출력 패드(DQ)로 출력된다.

<13> 파이프라인 메모리 장치(10)에 설정된 데이터 출력 갯수 만큼, 예컨대, 4개의 메모리 셀 데이터를 출력시키기 위하여, 제1 및 제2 파이프라인 제어 신호들(FRP, SRP)와 데이터 출력 클럭 신호(CLKDQ)가 순차적으로 발생된다. C2 클럭에서 C5 클럭 동안의 매 클럭 마다 발생하는 데이터 출력 클럭 신호(CLKDQ)에 응답하여 데이터 출력 패드(DQ)로 제1 내지 제4 데이터들(D0, D1, D2, D3)이 출력된다.

<14> 여기에서, 제1 파이프라인 제어 신호(FRP)의 활성화 시점과 제2 파이프라인 제어 신호(SRP)의 비활성화 시점 사이에는  $\Delta T1$ 에 해당하는 절대 마진 시간이 요구된다. 즉, 제1 파이프라인 제어 신호(FRP)의 활성화 구간과 제2 파이프라인 제어 신호(SRP)의 활성화 구간은 겹쳐져서는 안된다는 것이다. 도 3은 제1 또는 제2 파이프라인 제어 신호(FRP, SRP)를 발생하는 에지 트리거 지연 회로를 나타내는 도면이다. 이를 참조하면, 에지 트리거 지연 회로(300)는 클럭 신호(CLK)와 동기되어 발생하는 내부 클럭 신호(PCLK)에 응답하여 제1 파이프라인 제어 신호(FRP) 또는 제2 파이프라인 제어 신호(SRP)를 독립적으로 발생한다.

<15> 한편, 파이프라인 메모리 장치(10)의 동작 주파수가 높아짐에 따라, 제1 파이프라인 제어 신호(FRP)와 제2 파이프라인 제어 신호(SRP) 사이의 절대 마진 시간( $\Delta T1$ )이 점점 작아지게



된다. 이에 따라, 절대 마진 시간( $\Delta T1$ )은 파이프라인 메모리 장치(10)의 고주파 동작을 제한하는 하나의 요인이 된다.

<16> 그러므로, 파이프라인 메모리 장치(10)의 고주파 동작을 제한하지 않도록 데이터 패치 방법의 존재가 요구된다.

**【발명이 이루고자 하는 기술적 과제】**

<17> 본 발명의 목적은 데이터 패치 제어 회로를 갖는 파이프라인 메모리 장치를 제공하는 데 있다.

<18> 본 발명의 다른 목적은 데이터 패치 제어 방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<19> 상기 목적을 달성하기 위하여, 본 발명은 클럭 신호에 동기되는 파이프라인 메모리 장치에 있어서, 데이터들을 저장하는 복수개의 메모리 셀들; 선택된 메모리 셀 데이터를 전달하는 데이터 전달 경로; 제1 파이프라인 제어 신호 발생을 제공하는 클럭 신호에 응답하여 제1 파이프라인 제어 신호를 발생하고, 제2 파이프라인 제어 신호 발생을 제공하는 클럭 신호와 제1 파이프라인 제어 신호에 응답하여 제2 파이프 라인 제어 신호를 발생하는 데이터 패치 제어 회로; 제1 파이프라인 제어 신호에 응답하여 데이터 전달 경로 상의 메모리 셀 데이터를 래치하는 제1 파이프라인 스테이지; 제2 파이프라인 제어 신호에 응답하여 제1 파이프라인 스테이지의 데이터를 래치하는 제2 파이프라인 스테이지; 및 데이터 출력 클럭 신호에 응답하여 제2 파이프라인 스테이지의 데이터를 데이터 출력 패드로 출력시키는 제3 파이프라인 스테이지를 포함한다.

<20> 바람직하기로, 데이터 패치 제어 회로는 제1 파이프라인 제어 신호 발생을 제공하는 클럭 신호를 입력하여 제1 파이프라인 제어 신호를 발생하는 제1 에지 트리거 지연 회로; 및 제2 파이프라인 제어 신호 발생을 제공하는 클럭 신호 및 제1 파이프라인 제어 신호를 입력하여 제2 파이프라인 제어 신호를 발생하는 멀티플렉서를 포함한다. 또는, 데이터 패치 제어 회로는 제1 파이프라인 제어 신호 발생을 제공하는 클럭 신호를 입력하여 제1 파이프라인 제어 신호를 발생하는 제1 에지 트리거 지연 회로; 제1 파이프라인 제어 신호를 입력하는 제1 인버터; 제2 파이프라인 제어 신호 발생을 제공하는 클럭 신호를 입력하는 제2 에지 트리거 지연 회로; 제1 인버터의 출력과 제2 에지 트리거 지연 회로의 출력을 입력하는 낸드 게이트; 낸드 게이트의 출력을 입력하여 제2 파이프라인 제어 신호로 발생하는 제2 인버터를 포함한다. 제1 및 제2 에지 트리거 지연 회로는 짝수개의 인버터 체인으로 구성되는 것이 적합하다.

<21> 상기 다른 목적을 달성하기 위하여, 본 발명은 클럭 신호에 동기되는 파이프라인 메모리 장치의 데이터 패치 방법에 있어서, 선택된 메모리 셀 데이터를 전달하는 단계; 제1 파이프라인 제어 신호 발생을 제공하는 클럭 신호에 응답하여 제1 파이프라인 제어 신호를 발생하는 단계; 제2 파이프라인 제어 신호 발생을 제공하는 클럭 신호와 제1 파이프라인 제어 신호에 응답하여 제2 파이프라인 제어 신호를 발생하는 단계; 제1 파이프라인 제어 신호에 응답하여 데이터 전달 경로 상의 제1 파이프라인 스테이지로 메모리 셀 데이터를 래치하는 단계; 제2 파이프라인 제어 신호에 응답하여 제2 파이프라인 스테이지로 제1 파이프라인 스테이지의 데이터를 래치하는 단계; 데이터 출력 클럭 신호에 응답하여 제2 파이프라인 스테이지의 데이터를 데이터 출력 패드로 출력시키는 단계를 포함한다.

<22> 그리고, 파이프라인 메모리 장치의 데이터 패치 방법은 제1 파이프라인 제어 신호의 활성화 시점에 따라서 제2 파이프라인 제어 신호의 비활성화 시점이 결정되거나, 제1 파이프라인

제어 신호의 비활성화 구간 동안에 제2 파이프라인 제어 신호가 활성화되는 것을 특징으로 한다.

<23> 따라서, 본 발명에 의하면, 파이프라인 메모리 장치의 고주파 동작을 제한하던 데이터 파이프라인 스테이지들 상의 제1 파이프라인 제어 신호와 제2 파이프라인 제어 신호의 절대 마진 시간을 없애고, 파이프라인 메모리 장치가 고주파 동작함에 있어 제1 파이프라인 제어 신호와 제2 파이프라인 제어 신호 사이에 마진 폭을 키울 수 있다.

<24> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<25> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<26> 도 4는 본 발명의 파이프라인 메모리 장치에 적용되는 데이터 패치 방법을 개념적으로 설명하는 도면이다. 이를 참조하면, 도 1의 제1 내지 제3 파이프라인 스테이지들(26, 28, 30)로 구성되는 데이터 파이프라인 스테이지(32)에서, 제2 파이프라인 스테이지(28)를 구동하는 제2 파이프라인 제어 신호(SRP)가 제1 파이프라인 제어 신호(FRP)로부터 만들어진다는 개념이 도입된다. 이 개념을 구체화하는 회로도가 도 5 및 도 6에 도시되어 있다.

<27> 도 5를 참조하면, 내부 클럭 신호(PCLK)를 입력하는 에지 트리거 지연 회로(510)의 출력과 제1 파이프라인 제어 신호(FRP)가 멀티플렉서(520)로 입력된다. 멀티플렉서(520)는 제1 파이프라인 제어 신호(FRP)와 에지 트리거 지연 회로(510)의 출력을 믹싱(muxing)하여 제2 파이프라인 제어 신호(SRP)를 발생한다. 제2 파이프라인 스테이지(28, 도 4)을 구동하는 제2 파이프라인 제어 신호(SRP)를 발생한다.

프라인 제어 신호(SRP)는 이전 스테이지 즉, 제1 파이프라인 스테이지(26)를 구동하는 제1 파이프라인 제어 신호(FRP) 정보를 제공받아 발생된다.

<28> 도 6을 참조하면, 데이터 패치 제어 회로(600)는 제1 에지 트리거 제어 회로(610), 제2 에지 트리거 제어 회로(620), 제1 인버터(630), 낸드 게이트(640), 그리고 제2 인버터(650)로 구성된다. 제1 에지 트리거 지연 회로(610)는 제1 파이프라인 제어 신호(FRP) 발생을 제공하는 제1 내부 클럭 신호(PCLK)를 입력하여 제1 파이프라인 제어 신호(FRP)를 발생한다. 제2 에지 트리거 지연 회로(620)는 제2 파이프라인 제어 신호(SRP) 발생을 제공하는 제2 내부 클럭 신호(PCLK')를 입력하여 소정 시간 지연시킨 후 출력한다. 제1 에지 트리거 지연 회로(610)와 제2 에지 트리거 지연 회로(620)는 짝수개의 인버터 체인으로 구성된다. 제1 인버터(630)은 제1 파이프라인 제어 신호(FRP)를 반전시켜 낸드 게이트(640)로 전달한다, 낸드 게이트(640)는 제1 인버터(630)의 출력과 제2 에지 트리거 지연 회로(620)의 출력을 입력하고 그 출력을 제2 인버터(650)로 전달한다, 제2 인버터(650)는 낸드 게이트(640)의 출력을 반전시켜 제2 파이프라인 제어 신호(SRP)를 발생한다.

<29> 데이터 패치 제어 회로(600)는 제1 파이프라인 제어 신호(FRP)가 로직 로우레벨로 비활성화인 동안에 입력되는 제2 에지 트리거 지연 회로(620) 출력에 따라 제2 파이프라인 제어 신호(SRP)를 발생한다. 이에 따라, 종래의 도 2에서 살펴본 바와 같이, 제1 파이프라인 제어 신호(FRP)와 제2 파이프라인 제어 신호(SRP)가 독립적으로 발생되어, 제2 파이프라인 제어 신호(SRP)의 비활성화와 제1 파이프라인 제어 신호(FRP)의 활성화 사이에 절대 마진 시간( $\Delta T$ )이 필요하던 제한 요건을 없앨 수 있다. 즉, 본 실시예의 데이터 패치 회로(600)에서는 제2 파이프라인 제어 신호(SRP)의 활성화 구간과 제1 파이프라인 제어 신호(FRP)의 활성화 구간은 절대적으로 겹쳐서 발생되지 않기 때문이다.

- <30> 도 7은 도 6의 데이터 패치 제어 회로(600)를 채용한 파이프라인 메모리 장치의 동작상 마진을 설명하는 도면이다. 이를 참조하면, 파이프라인 메모리 장치의 외부로부터 수신되는 클럭 신호(CLK)에 응답하여 파이프라인 메모리 장치 동작의 동기 신호로 작용하는 내부 클럭 신호(PCLK)가 발생된다. 데이터 전달 경로 상의 데이터를 래치하기 위하여 첫번째 내부 클럭 신호(PCLK)에 응답하여 제1 파이프라인 제어 신호(FRP)가 발생된다. 이 후, 제1 파이프라인 제어 신호(FRP)의 로직 로우레벨의 비활성화 동안에 두번째 내부 클럭 신호(PCLK)에 응답하여 제2 파이프라인 제어 신호(SRP)가 발생된다.
- <31> 도면에 표시된 점선처럼, 파이프라인 메모리 장치의 동작 주파수를 높임에 따라 제1 파이프라인 제어 신호(FRP)를 앞으로 당길 수 있다. 이에 따라, 제2 파이프라인 제어 신호(SRP)의 펄스 폭이 줄어든다. 즉, 제1 파이프라인 제어 신호(FRP)의 활성화 시점에 따라서 제2 파이프라인 제어 신호(SRP)를 비활성화시키게 된다. 그리하여, 제1 파이프라인 제어 신호(FRP)와 제2 파이프라인 제어 신호(SRP) 사이의  $\Delta T1$ 에 해당하는 종래의 마진 폭을  $\Delta T2$  마진 폭으로 크게 할 수 있다.
- <32> 따라서, 본 실시예들에 의하면, 파이프라인 메모리 장치의 고주파 동작을 제한하던 제1 파이프라인 제어 신호와 제2 파이프라인 제어 신호의 절대 마진 시간을 없애고, 파이프라인 메모리 장치가 고주파 동작함에 있어 제1 파이프라인 제어 신호(FRP)와 제2 파이프라인 제어 신호(SRP) 사이에 마진 폭을 키울 수 있다.
- <33> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

<34> 상술한 본 발명에 의하면, 파이프라인 메모리 장치의 고주파 동작을 제한하던 데이터 파이프라인 스테이지들 상의 제1 파이프라인 제어 신호와 제2 파이프라인 제어 신호의 절대 마진 시간을 없애고, 파이프라인 메모리 장치가 고주파 동작함에 있어 제1 파이프라인 제어 신호와 제2 파이프라인 제어 신호 사이에 마진 폭을 키울 수 있다.

**【특허청구범위】****【청구항 1】**

클럭 신호에 동기되는 파이프라인 메모리 장치에 있어서,

데이터들을 저장하는 복수개의 메모리 셀들;

선택된 상기 메모리 셀 데이터를 전달하는 데이터 전달 경로;

제 1 파이프라인 제어 신호의 발생을 제공하는 상기 클럭 신호에 응답하여 제1 파이프라인 제어 신호를 발생하고, 제2 파이프라인 제어 신호의 발생을 제공하는 상기 클럭 신호와 상기 제1 파이프라인 제어 신호에 응답하여 제2 파이프 라인 제어 신호를 발생하는 데이터 패치 제어 회로;

상기 제1 파이프라인 제어 신호에 응답하여 상기 데이터 전달 경로 상의 메모리 셀 데이터를 래치하는 제1 파이프라인 스테이지;

상기 제2 파이프라인 제어 신호에 응답하여 상기 제1 파이프라인 스테이지의 데이터를 래치하는 제2 파이프라인 스테이지; 및

데이터 출력 클럭 신호에 응답하여 상기 제2 파이프라인 스테이지의 데이터를 데이터 출력 패드로 출력시키는 제3 파이프라인 스테이지를 구비하는 것을 특징으로 하는 파이프라인 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 데이터 패치 제어 회로는

상기 제1 파이프라인 제어 신호 발생을 제공하는 상기 클럭 신호를 입력하여 상기 제1 파이프라인 제어 신호를 발생하는 제1 에지 트리거 지연 회로; 및

상기 제2 파이프라인 제어 신호 발생을 제공하는 클럭 신호 및 상기 제1 파이프라인 제어 신호를 입력하여 상기 제2 파이프라인 제어 신호를 발생하는 멀티플렉서를 구비하는 것을 특징으로 하는 파이프라인 메모리 장치.

**【청구항 3】**

제1항에 있어서, 상기 데이터 패치 제어 회로는

상기 제1 파이프라인 제어 신호 발생을 제공하는 상기 클럭 신호를 입력하여 상기 제1 파이프라인 제어 신호를 발생하는 제1 에지 트리거 지연 회로;

상기 제2 파이프라인 제어 신호 발생을 제공하는 상기 클럭 신호를 입력하는 제2 에지 트리거 지연 회로;

상기 제1 파이프라인 제어 신호를 입력하는 제1 인버터;

상기 제1 인버터의 출력과 상기 제2 에지 트리거 지연 회로의 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트의 출력을 입력하여 상기 제2 파이프라인 제어 신호로 발생하는 제2 인버터를 구비하는 것을 특징으로 하는 파이프라인 메모리 장치.

**【청구항 4】**

제2항 또는 제3항에 있어서, 상기 에지 트리거 지연 회로는

상기 클럭 신호를 입력하는 짝수개의 버퍼로 구성된 인버터 체인인 것을 특징으로 하는 파이프라인 메모리 장치.

**【청구항 5】**

클럭 신호에 동기되는 파이프라인 메모리 장치의 데이터 패치 방법에 있어서,



선택된 메모리 셀 데이터를 전달하는 단계;

제1 파이프라인 제어 신호 발생을 제공하는 상기 클럭 신호에 응답하여 제1 파이프라인 제어 신호를 발생하는 단계;

제 2 파이프라인 제어 신호 발생을 제공하는 상기 클럭 신호와 상기 제1 파이프라인 제어 신호에 응답하여 제2 파이프 라인 제어 신호를 발생하는 단계;

상기 제1 파이프라인 제어 신호에 응답하여 데이터 전달 경로 상의 제1 파이프라인 스테이지로 상기 메모리 셀 데이터를 래치하는 단계;

상기 제2 파이프라인 제어 신호에 응답하여 제2 파이프라인 스테이지로 상기 제1 파이프 라인 스테이지의 데이터를 래치하는 단계; 및

데이터 출력 클럭 신호에 응답하여 상기 제2 파이프라인 스테이지의 데이터를 데이터 출력 패드로 출력시키는 단계를 구비하는 것을 특징으로 하는 파이프라인 메모리 장치의 데이터 패치 방법.

#### 【청구항 6】

제5항에 있어서, 상기 데이터 패치 방법은

상기 제1 파이프라인 제어 신호의 활성화 시점에 따라서 상기 제2 파이프라인 제어 신호의 비활성화 시점이 결정되는 것을 특징으로 하는 파이프라인 메모리 장치의 데이터 패치 방법.

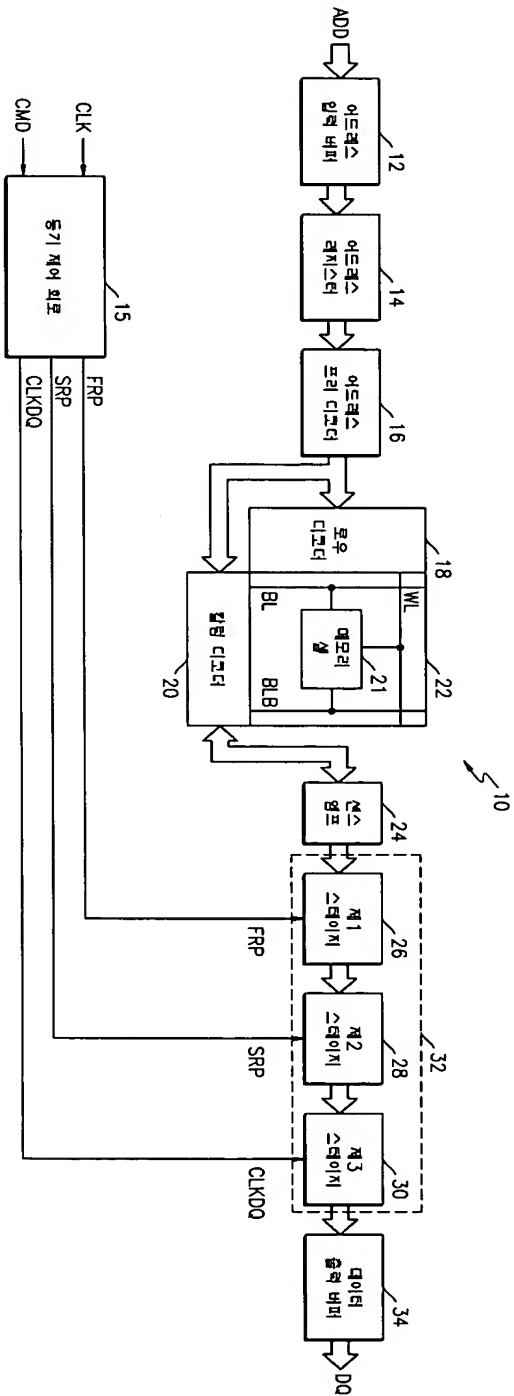
【청구항 7】

제5항에 있어서, 상기 데이터 패치 방법은

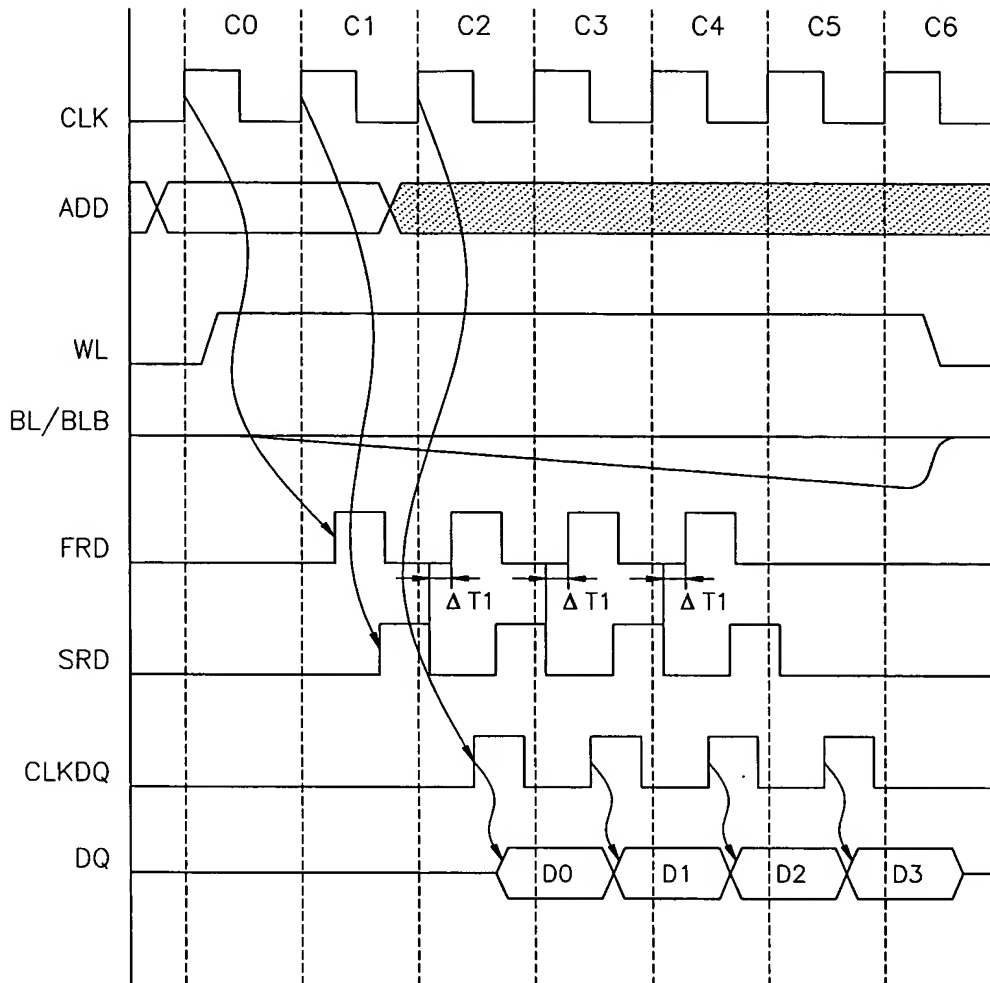
상기 제1 파이프라인 제어 신호의 비활성화 구간 동안에 상기 제2 파이프라인 제어 신호가 활성화되는 것을 특징으로 하는 파이프라인 메모리 장치의 데이터 패치 방법.

【도면】

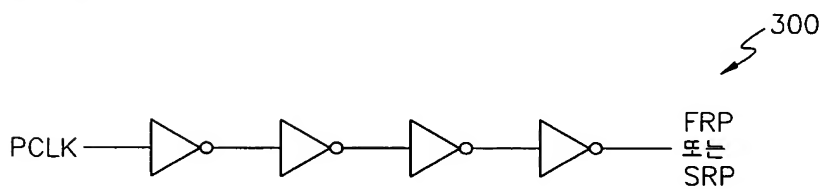
【도 1】



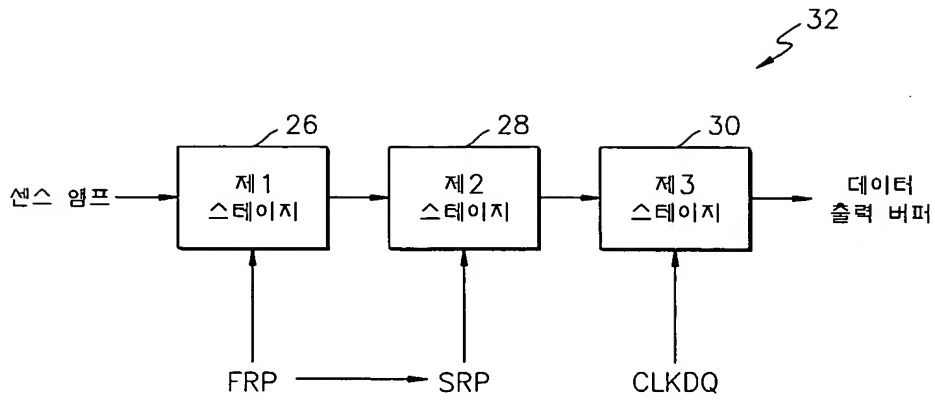
【도 2】



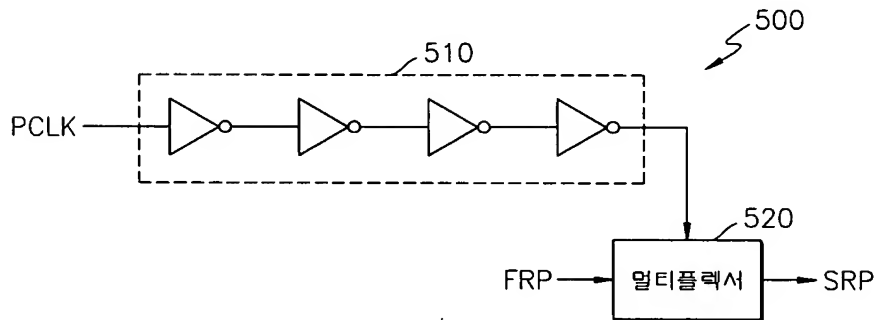
【도 3】



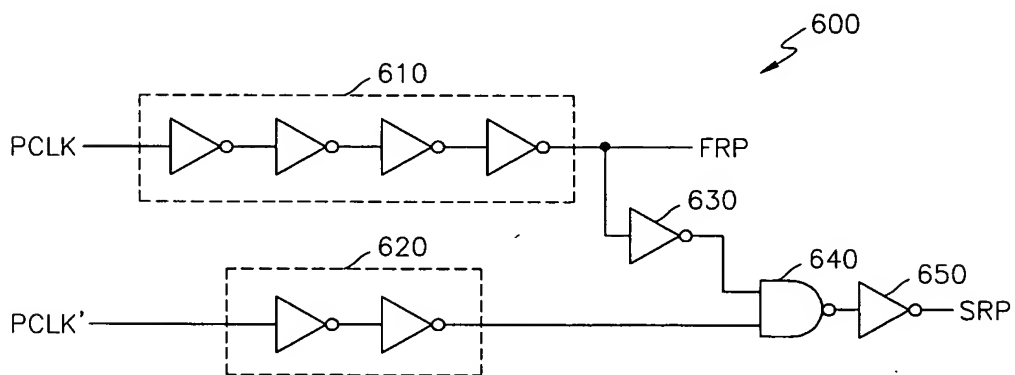
【도 4】



【도 5】



【도 6】





1020030036335

출력 일자: 2003/12/22

【도 7】

